**I. Información general**

Grupo No. 01. Proyecto No. 3 Fecha: 8/22/2018

Nombre del Proyecto: Lógica Combinacional y Aritmética I.

Sesión No.1.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Luis Fernando Murillo Rios |
| Secretariado | Arturo Chinchilla Sánchez |
| Fiscal | Jorge Agüero Zamora |

**II. Minuta**

Objetivos de la sesión

1. Leer y discutir laboratorio
2. Comenzar diagramas

Se inició la construcción de los diagramas, discutiendo en grupo las los diferentes implementaciones posibles. Se investigó el funcionamiento y cómo se compone una ALU. Además a esto se leyó el laboratorio completo y se discute cómo se iban a dividir las diferentes tareas que implican el laboratorio.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Terminar diagrama de 4 nivel | Luis y Arturo | 8/24/2018 |
| Comenzar diagrama de 5 nivel | Jorge | 8/24/2018 |
| Verificar los diagramas iniciales. | Luis , Arturo, Jorge | 8/24/2018 |
| Terminar todos los diagramas | Todos | 8/24/2018 |

-------------------------------------------------------------------------------------------------------------------------

**I. Información general**

Grupo No. 01. Proyecto No. 3 Fecha: 8/24/2018

Nombre del Proyecto: Lógica Combinacional y Aritmética I.

Sesión No.2.

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Luis Fernando Murillo Rios |
| Secretariado | Arturo Chinchilla Sánchez |
| Fiscal | Jorge Agüero Zamora |

**II. Minuta**

Objetivos de la sesión

1. Continuar diagramas nivel 4 y 5
2. Comenzar código HDL de la ALU
3. Continuar documentación de diagramas.

Luis y Arturo estuvieron trabajando en los diagramas de nivel 4, detallando los módulos de la solución. Se preguntó si se debía mostrar la implementación de cada módulo, se dijo que solo se necesita especificar hasta lo que se hace por comportamiento en HDL. Jorge terminó el diagrama de 5 nivel y los tres miembros revisaron todos los diagramas y se inició el documento con el diseño modular el cual se debía presentar el mismo dia.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| Código para sumador y MUX y testbenchs | Luis | 28/08/08 |
| Shifters, ALU y testbenchs | Jorge | 28/08/08 |
| Compuertas lógicas, inversor y testbenchs | Arturo | 28/08/08 |

Tabla de verdad del Circuito Sumador

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Entradas** | | | **Salidas** | |
| **Control** | **OP A** | **OP B** | **Cout** | **Resultado** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Tabla de verdad AND

|  |  |  |
| --- | --- | --- |
| **Entradas** | | **Salidas** |
| **OP A** | **OP B** | **Resultado** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Tabla de verdad OR.

|  |  |  |
| --- | --- | --- |
| Entradas | | Salidas |
| OP A | OP B | Resultado |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Tabla de verdad XOR.

|  |  |  |
| --- | --- | --- |
| **Entradas** | | **Salidas** |
| **OP A** | **OP B** | **Resultado** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tabla de verdad Acarreo.

|  |  |  |
| --- | --- | --- |
| Entradas | | Salidas |
| Cout | Control[1] | Resultado |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Tabla de verdad MUX ALU OP.

|  |  |  |
| --- | --- | --- |
| **Control** | **Operación** | **Descripción** |
| 0000 | suma | A + B |
| 0001 | resta | A - B |
| 0010 | and | A & B |
| 0011 | negación | ~B |
| 0100 | or | A | B |
| 0101 | xor | A ⊕ B |
| 0110 | corrimiento izq (<<) | B << Alog2N |
| 0111 | corrimiento derecho (>>) | B >> Alog2N |
| 1000 | corrimiento aritmético (>>>) | B >>> Alog2N |
| ... |  |  |
| default |  | 0 |

-------------------------------------------------------------------------------------------------------------------------

Sesión No.3. Proyecto No. 3 Fecha: 8/29/2018

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Luis Fernando Murillo Rios |
| Secretariado | Arturo Chinchilla Sánchez |
| Fiscal | Jorge Agüero Zamora |

**II. Minuta**

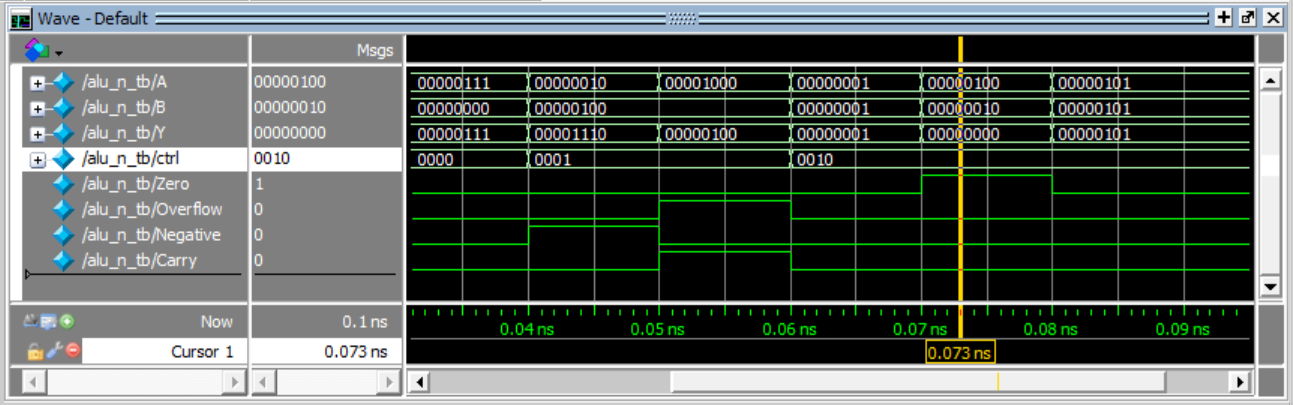
Objetivos de la sesión

1. Hacer testbench de todos los módulos que componen la ALU.
2. Hacer pruebas de todos los módulos, verificar los datos de salida.
3. Hacer testbench ALU y sus respectivas verificación de pruebas.

Jorge realizó el diseño e implementación de la ALU y Arturo realizó los testbench correspondientes a los módulos mostrados, ese día el compañero Luis Fernando no se pudo presentar a la clase por motivos de salud. Posterior a la prueba de cada módulo se comenzó con la prueba de la ALU montada con todos los módulos, el montaje se realizó sin errores, pero a la hora de probar el testbench de la ALU se noto ciertos problemas en los resultados que mostraba el mismo.

|  |  |  |
| --- | --- | --- |
| **Acuerdos** | **Responsable** | **Fecha de entrega** |
| testbench ALU | Arturo | 31/08/08 |
| Problema 2 | Jorge, y Arturo | 31/08/08 |
| Bitácora e investigación | Luis | 31/08/08 |

Simulación de ALU\_N.TB



Sesión No.4. Proyecto No. 3 Fecha: 8/31/2018

Marque con una X la modalidad de la sesión:

Presencial (X )

En línea ()

Otra: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Distribución de roles:

|  |  |
| --- | --- |
| **Rol** | **Nombre estudiante** |
| Coordinación | Arturo Chinchilla Sánchez |
| Secretariado | Luis Fernando Murillo Rios |
| Fiscal | Jorge Agüero Zamora |

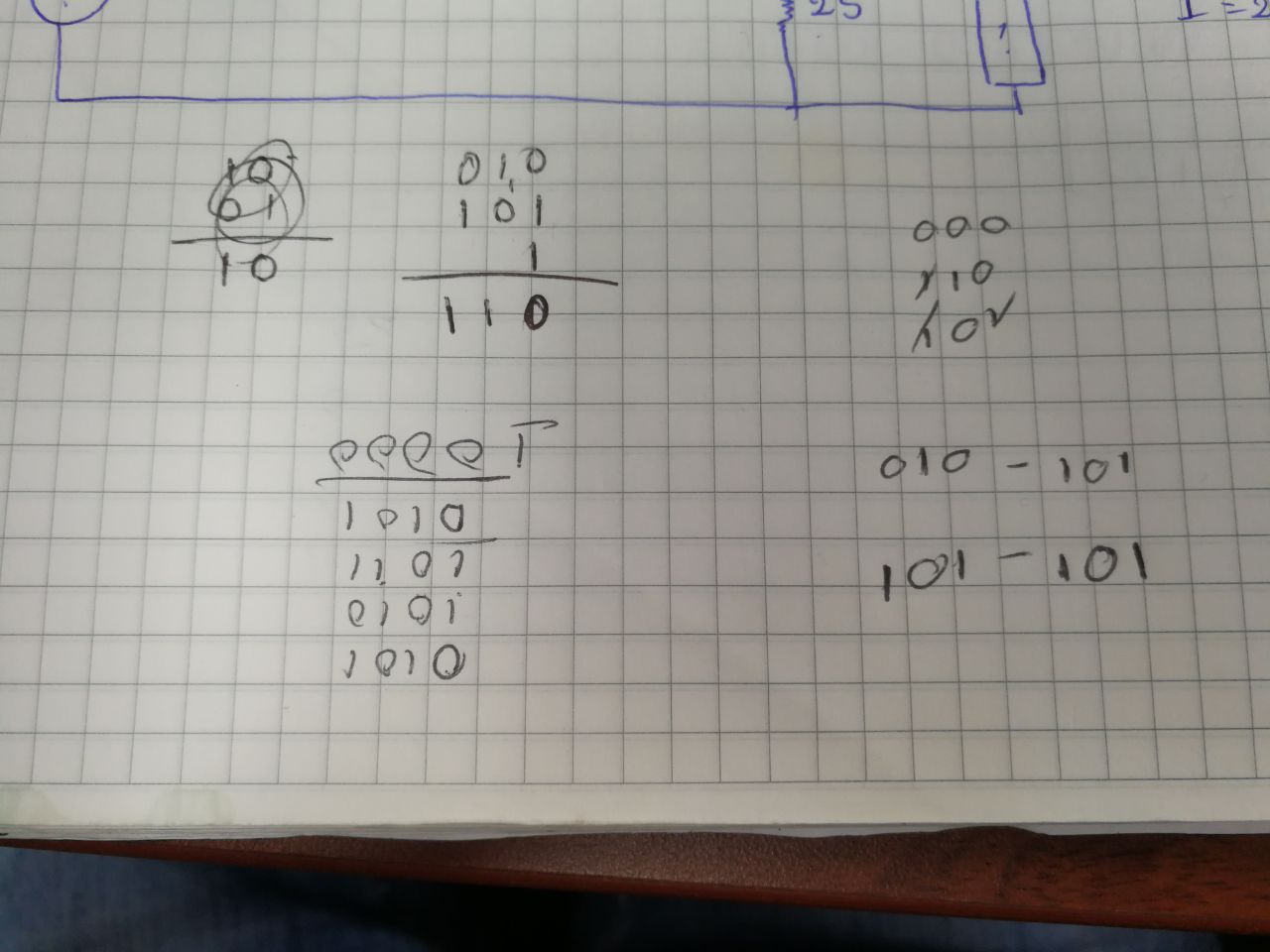
**II. Minuta**

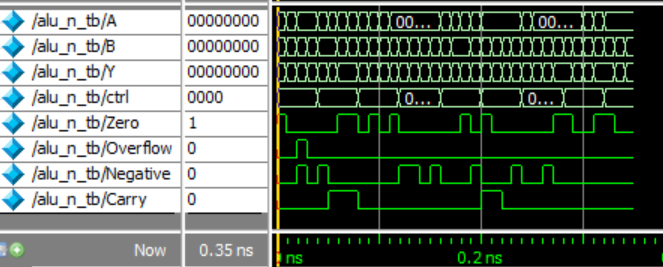
Objetivos de la sesión

1. Presentar la fpga con el programa de la ALU con 3 bits.
2. Crear registros para hacer pruebas con el TIMEQUEST de altera.
3. Terminar problema 2.
4. Terminar documento de investigación.

Se realizaron las pruebas finales mediante la utilización de testbench y la simulación de la herramienta quartus, esto fue realizado por Arturo y Jorge. Posterior a eso el compañero Luis se encargó de montar en la FPGA el sistema diseñado por los compañeros y montar los datos en un 7 segmentos para visualizar los resultados. El compañero Jorge se encargó de realizar los TimeQuest de la ALU para el documento del laboratorio. El compañero Arturo inició el documento final del laboratorio tres para su posterior cambio, el cual realizan todos los miembros del equipo.

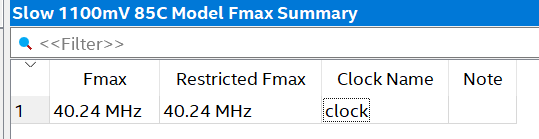
Pruebas manuales de la ALU, para probar los datos y banderas que debería dar una resta en la ALU.



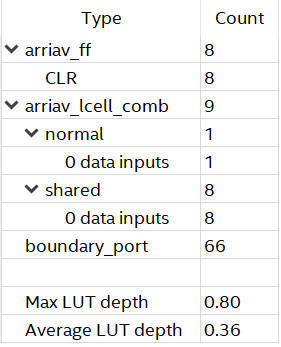


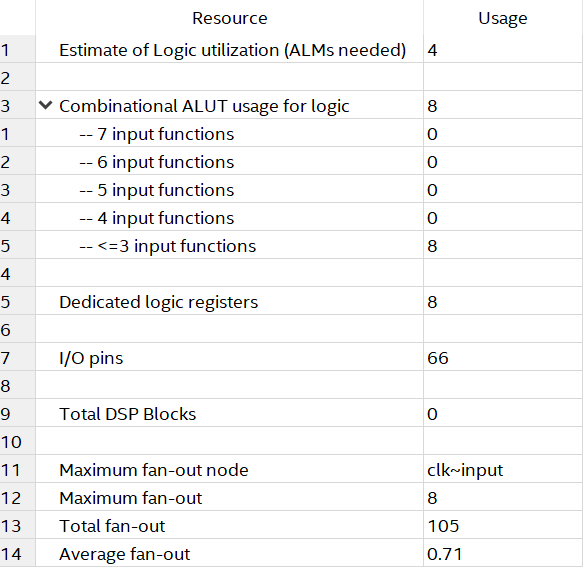
frecuencia máxima 32 bits

40.24 MHz 40.24 MHz clock 1



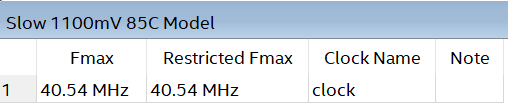
recursos



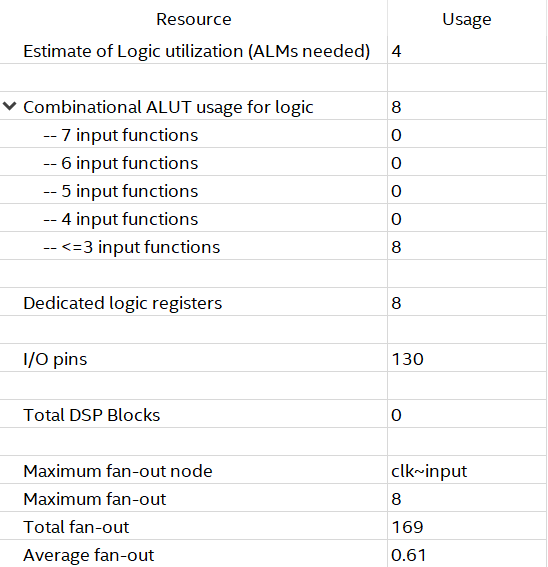


frecuencia 64 bits

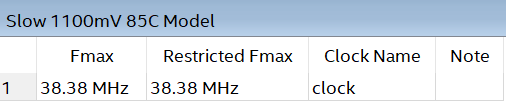
40.54 MHz 40.54 MHz



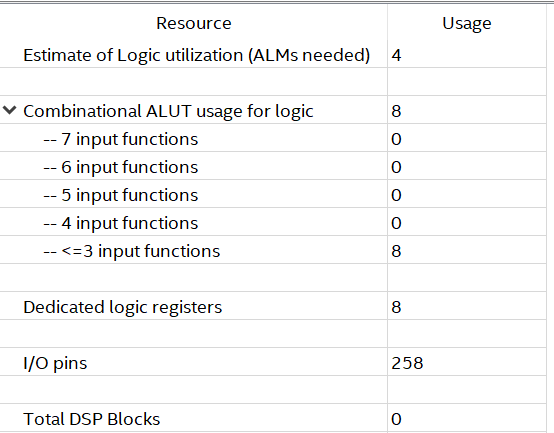
recursos



frecuencia de 128 bits



recursos



256 bits

55.08 MHz 55.08 MHz clock

